

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-151652

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 2000-342796

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 10.11.2000

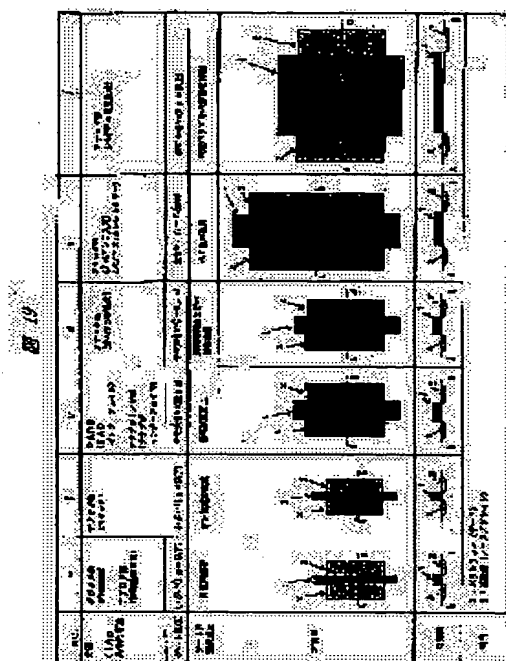
(72)Inventor : KITA MASAHIRO
HASE AKIHIRO
WATANABE HIROBUMI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the performance of an analog/digital consolidated type semiconductor integrated circuit device.

SOLUTION: The gate lengths (channel lengths) of complementary MISFETs (n-channel type MISFET and p-channel type MISFET), constituting circuit blocks such as a digital circuit part, an analog circuit part and a signal input/output part, are set differently corresponding to the characteristics of the respective circuit blocks. Also, the resistive element of a digital signal input protective circuit and the resistive element of an analog signal input protective circuit are constituted of different materials. Further, a digital signal input/output part and an analog signal input/output part are arranged at positions separated farthest from each other on a semiconductor substrate (chip) 1, so that the chip layout will not make the noise of the digital signal input/output part sneak into the analog circuit part.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-151652
(P2002-151652A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl.⁷

H 0 1 L 27/04
21/822

識別記号

F I

H 0 1 L 27/04

テーマコード(参考)

F 5 F 0 3 8
H
A

審査請求 未請求 請求項の数16 O L (全 18 頁)

(21) 出願番号 特願2000-342796(P2000-342796)

(22) 出願日 平成12年11月10日 (2000.11.10)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 北 雅人

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

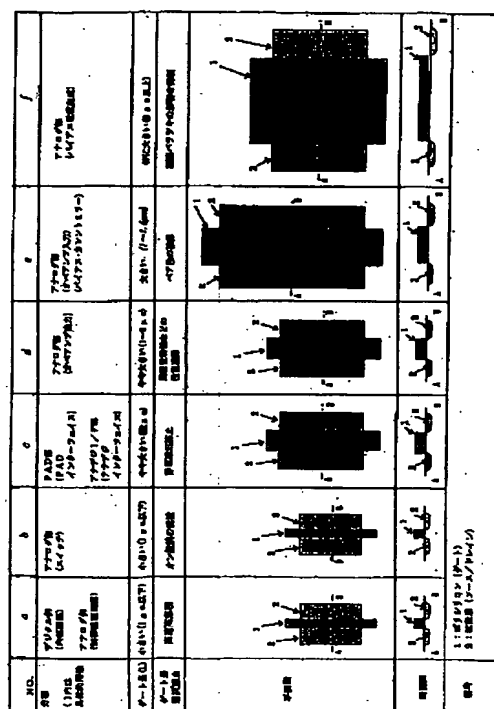
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 アナログ・デジタル混載型半導体集積回路装置の高性能化を実現する。

【解決手段】 デジタル回路部、アナログ回路部および信号入出力部などの回路ブロックを構成する相補型MISFET (nチャネル型MISFETおよびpチャネル型MISFET) のゲート長 (チャネル長) は、それぞれの回路ブロックの特性に応じて異なっている。また、デジタル信号入力保護回路の抵抗素子と、アナログ信号入力保護回路の抵抗素子とは異なる材料で構成されている。さらに、デジタル信号入出力部とアナログ信号入出力部とは、半導体基板 (チップ) 1 上で互いに最も離間する位置に配置され、デジタル信号入出力部のノイズがアナログ回路部に回り込まないチップレイアウトになっている。

図 19



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 主面を有する半導体基板と、
前記半導体基板の主面の第 1 領域に形成されたデジタル回路部と、
前記半導体基板の主面の第 2 領域に形成されたアナログ回路部と、
前記半導体基板の主面の第 3 領域に形成された、前記デジタル回路部へ入力信号を供給するためのデジタル信号入力部、および前記デジタル回路部から出力信号を取り出すためのデジタル信号出力部と、
前記半導体基板の主面の第 4 領域に形成された、前記アナログ回路部へ入力信号を供給するためのアナログ信号入力部、および前記アナログ回路部から出力信号を取り出すためのアナログ信号出力部と、を有するアナログ・デジタル混載型の半導体集積回路装置であって、
前記デジタル回路部が形成された前記第 1 領域と、前記アナログ回路部が形成された前記第 2 領域とは互いに分離して配置され、
前記デジタル信号入力部および前記デジタル信号出力部が形成された前記第 3 領域と、前記第 1 領域とは、互いに近接して配置され、
前記アナログ信号入力部および前記アナログ信号出力部が形成された前記第 4 領域と、前記第 2 領域とは、互いに近接して配置され、
前記第 3 領域と前記第 4 領域とは、それらの間に配置された前記第 1 領域と前記第 2 領域とを挟んで、互いに離間して配置されていることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、前記デジタル回路部および前記アナログ回路部のそれぞれは、n チャネル型 MISFET および p チャネル型 MISFET からなる相補型 MISFET を含んで構成されていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置において、前記第 3 領域の端部は、前記第 4 領域の近傍に延在し、通常動作状態における信号入力レベルが High レベルまたは Low レベルに固定されるテスト用パッドが、前記第 3 領域と前記第 4 領域との境界部近傍に配置されていることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 記載の半導体集積回路装置において、前記デジタル回路部はメモリ回路部を含み、前記メモリ回路部は、前記デジタル回路部が形成された前記第 1 領域のコーナー部または周辺部に配置されていることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 4 記載の半導体集積回路装置において、前記メモリ回路部のインターフェイスは、前記デジタル回路部が形成された前記第 1 領域の中心方向に配向されていることを特徴とする半導体集積回路装置。

【請求項 6】 主面を有する半導体基板と、
前記半導体基板の主面の第 1 領域に形成された n チャネ

ル型 MISFET および p チャネル型 MISFET からなる第 1 相補型 MISFET を含んで構成されたデジタル回路部と、

前記半導体基板の主面の第 2 領域に形成された n チャネル型 MISFET および p チャネル型 MISFET からなる第 2 相補型 MISFET を含んで構成されたアナログ回路部と、

前記半導体基板の主面の第 3 領域に形成された、前記デジタル回路部へ入力信号を供給するためのデジタル信号入力部、および前記デジタル回路部から出力信号を取り出すためのデジタル信号出力部と、

前記半導体基板の主面の第 4 領域に形成された、前記アナログ回路部へ入力信号を供給するためのアナログ信号入力部、および前記アナログ回路部から出力信号を取り出すためのアナログ信号出力部と、を有するアナログ・デジタル混載型の半導体集積回路装置であって、

前記第 3 領域および前記第 4 領域のそれぞれに形成された n チャネル型 MISFET および p チャネル型 MISFET からなる第 3 相補型 MISFET を含んで構成され、前記デジタル回路部の MISFET および前記アナログ回路部の MISFET の破壊を防止するための前記保護回路を構成する前記第 3 相補型 MISFET は、前記デジタル回路部を構成する前記第 1 相補型 MISFET のゲート長よりも長い第 1 のゲート長を有し、前記アナログ回路部を構成する前記第 2 相補型 MISFET は、前記第 1 のゲート長よりも長い第 2 のゲート長を有していることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 6 記載の半導体集積回路装置において、前記デジタル回路部を構成する前記第 1 相補型 MISFET のゲート長は、プロセスの最小加工寸法に等しいことを特徴とする半導体集積回路装置。

【請求項 8】 請求項 6 記載の半導体集積回路装置において、前記アナログ回路部は、前記第 2 のゲート長を有する前記第 2 相補型 MISFET を含んで構成された演算増幅器を有していることを特徴とする半導体集積回路装置。

【請求項 9】 請求項 6 記載の半導体集積回路装置において、前記アナログ回路部は、前記演算増幅器に供給される電流を生成するバイアス回路をさらに含み、前記バイアス回路は、前記第 2 のゲート長を有する前記第 2 相補型 MISFET と、前記第 2 のゲート長よりも長い第 3 のゲート長を有する第 4 相補型 MISFET とを含んで構成されていることを特徴とする半導体集積回路装置。

【請求項 10】 請求項 6 記載の半導体集積回路装置において、前記アナログ回路部は、スイッチトキャパシタ回路をさらに含み、前記スイッチトキャパシタ回路は、前記第 1 のゲート長よりも短い第 4 のゲート長を有する第 5 相補型 MISFET を含んで構成されていることを特徴とする半導体集積回路装置。

【請求項 11】 請求項 6 記載の半導体集積回路装置において、前記デジタル回路部と前記アナログ回路部とは、互いに異なる電源系を有し、前記デジタル回路部と前記アナログ回路部とを接続するアナログ・デジタルインターフェイス部は、前記第 1 のゲート長とほぼ等しいゲート長を有する第 5 相補型 MISFET を含んで構成されていることを特徴とする半導体集積回路装置。

【請求項 12】 主面を有する半導体基板と、
前記半導体基板の主面の第 1 領域に形成されたデジタル回路部と、
前記半導体基板の主面の第 2 領域に形成されたアナログ回路部と、
前記半導体基板の主面の第 3 領域に形成された、前記デジタル回路部へ入力信号を供給するためのデジタル信号入力部、および前記デジタル回路部から出力信号を取り出すためのデジタル信号出力部と、
前記半導体基板の主面の第 4 領域に形成された、前記アナログ回路部へ入力信号を供給するためのアナログ信号入力部、および前記アナログ回路部から出力信号を取り出すためのアナログ信号出力部と、を有するアナログ・デジタル混載型の半導体集積回路装置であって、
前記デジタル信号入力部は、前記半導体基板内の p n 接合によって区画された半導体領域からなる第 1 の抵抗素子を含んで構成され、前記デジタル回路部の MISFET の破壊を防止するための第 1 の保護回路を有し、
前記アナログ回路部または信号入力部は、前記半導体基板の主面上に形成された多結晶シリコン膜からなる第 2 の抵抗素子を含んで構成され、前記アナログ回路部の MISFET の破壊を防止するための第 2 の保護回路を有していることを特徴とする半導体集積回路装置。

【請求項 13】 請求項 12 記載の半導体集積回路装置において、前記アナログ回路部は演算増幅器を含み、前記第 2 の抵抗素子を前記演算増幅器の反転入力に接続し、前記半導体基板の主面上に形成された多結晶シリコン膜からなる第 3 の抵抗素子を、前記演算増幅器の反転入力とその出力端子との間に形成されたフィードバック抵抗として接続することによって構成された増幅器を有することを特徴とする半導体集積回路装置。

【請求項 14】 請求項 12 記載の半導体集積回路装置において、前記アナログ信号入力部には、前記半導体基板内の p n 接合によって区画された半導体領域からなる第 4 の抵抗素子を含んで構成される第 3 の保護回路が形成され、前記アナログ回路部には、前記第 3 の保護回路に接続されたスイッチトキャパシタ回路が形成されていることを特徴とする半導体集積回路装置。

【請求項 15】 請求項 12 記載の半導体集積回路装置において、前記デジタル回路部と前記アナログ回路部とは、互いに異なる電源系を有し、前記デジタル回路部と前記アナログ回路部とを接続するアナログ・デジタルイ

ンターフェイス部は、前記半導体基板内の p n 接合によって区画される半導体領域からなる第 5 の抵抗素子を含んで構成されていることを特徴とする半導体集積回路装置。

【請求項 16】 請求項 12 記載の半導体集積回路装置において、前記アナログ回路部は、前記半導体基板の主面上に形成された多結晶シリコン膜からなる一対の第 6 および第 7 の抵抗素子と演算増幅器とを含んで構成された差動増幅器をさらに有していることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、特に、アナログ回路部とデジタル回路部とが同一半導体基板上に形成されたアナログ・デジタル混載型の半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】近年、絶縁ゲート電界効果トランジスタ（以下、MOSFET あるいは MISFET という）によって構成されたアナログ・デジタル混載型の半導体集積回路装置が使用されつつある。本発明者らは、アナログ・デジタル混載型の半導体集積回路装置において、特に次の点に着目して開発を進めてきた。

【0003】すなわち、(a) 高性能の回路機能を発揮させるために、アナログ回路部とデジタル回路部との間で不要な干渉がないように、両者を半導体基板上にレイアウトすること、(b) アナログ回路部に一般的に使用される演算増幅器においては、演算増幅器に付加される入力抵抗と帰還抵抗とからなる負帰還回路の周波数特性を低下させないように、好ましくない寄生容量などの寄生素子は極力排除すること、また、帰還回路の抵抗の抵抗ばらつき、演算増幅器の差動入力を構成する一対のトランジスタやカレントミラー回路などの能動負荷回路を構成する一対のトランジスタの特性ばらつきを抑え、これによって、演算増幅器の増幅率にばらつきがないように製造すること、あるいはノイズ信号の低減を図ること、(c) アナログ・デジタル混載型の半導体集積回路装置では、予期しない過渡期に発生するサージ電圧がトランジスタを破壊し、あるいはアナログ回路部へのノイズとして影響を与えること、などである。本発明は、これらの着目点を具体的に達成するためになされている。

【0004】アナログ・デジタル混載型の半導体装置において、サージ入力による MOSFET のゲート破壊を防止する技術として、特開平 9-172146 号公報に開示されたものが知られている。この公報には、デジタル回路部とアナログ回路部とが異なる電源系（第 1 の電位 V_{dd1}/V_{ss1} および第 2 の電位 V_{dd2}/V_{ss2} ）を有するアナログ・デジタル混載型半導体装置を開示している。この半導体装置は、アナログ回路部の第

1の電源線(V_{dd1}/V_{ss1})とデジタル回路部の第2の電源線(V_{dd2}/V_{ss2})との間に、それらの電位差が所定の値を超えたときに第1の電源線と第2の電源線とを導通させる保護回路を設けることによって、入力回路を構成するMOS型トランジスタのゲート破壊を防止している。

【0005】特開平8-293598号公報は、デジタル回路部を構成するMOSFETのしきい値電圧を低く設定すると共に、そのチャンネル長をプロセスの最小加工寸法で構成し、アナログ回路部を構成するMOSFETのしきい値電圧を高く設定すると共に、そのチャンネル長を前記デジタル回路部を構成するMOSFETのチャンネル長よりも大きくしたアナログ・デジタル混載型半導体装置を開示している。

【0006】

【発明が解決しようとする課題】しかしながら、前記特開平9-172146号公報は、保護回路の一部を構成する抵抗素子の材料を回路の用途に合わせて最適化する技術については、開示していない。

【0007】また、特開平8-293598号公報は、デジタル回路部、アナログ回路部のそれぞれにおいて、MOSFETのチャンネル長(ゲート長)を回路の用途に合わせて最適化する技術については、開示していない。

【0008】本発明の目的は、アナログ回路部とデジタル回路部とが同一半導体基板上に形成されたアナログ・デジタル混載型の半導体集積回路装置の高性能化を推進する技術を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】本発明は、次の特徴の一つもしくはそれらの組み合わせによって構成される。

【0012】本発明の一つの特徴に従えば、主面を有する半導体基板と、前記半導体基板の主面の第1領域に形成されたデジタル回路部と、前記半導体基板の主面の第2領域に形成されたアナログ回路部と、前記半導体基板の主面の第3領域に形成された、前記デジタル回路部へ入力信号を供給するためのデジタル信号入力部、および前記デジタル回路部から出力信号を取り出すためのデジタル信号出力部と、前記半導体基板の主面の第4領域に形成された、前記アナログ回路部へ入力信号を供給するためのアナログ信号入力部、および前記アナログ回路部から出力信号を取り出すためのアナログ信号出力部と、を有するアナログ・デジタル混載型半導体集積回路装置であって、前記デジタル回路部が形成された前記第1領域と、前記アナログ回路部が形成された前記第2領域と

は互いに分離して配置され、前記デジタル信号入力部および前記デジタル信号出力部が形成された前記第3領域と、前記第1領域とは、互いに近接して配置され、前記アナログ信号入力部および前記アナログ信号出力部が形成された前記第4領域と、前記第2領域とは、互いに近接して配置され、前記第3領域と前記第4領域とは、それらの間に配置された前記第1領域と前記第2領域とを挟んで、互いに離間して配置されている。

【0013】本発明の他の特徴に従えば、主面を有する半導体基板と、前記半導体基板の主面の第1領域に形成されたnチャンネル型MISFETおよびpチャンネル型MISFETからなる第1相補型MISFETを含んで構成されたデジタル回路部と、前記半導体基板の主面の第2領域に形成されたnチャンネル型MISFETおよびpチャンネル型MISFETからなる第2相補型MISFETを含んで構成されたアナログ回路部と、前記半導体基板の主面の第3領域に形成された、前記デジタル回路部へ入力信号を供給するためのデジタル信号入力部、および前記デジタル回路部から出力信号を取り出すためのデジタル信号出力部と、前記半導体基板の主面の第4領域に形成された、前記アナログ回路部へ入力信号を供給するためのアナログ信号入力部、および前記アナログ回路部から出力信号を取り出すためのアナログ信号出力部と、を有するアナログ・デジタル混載型半導体集積回路装置であって、前記第3領域および前記第4領域のそれぞれに形成されたnチャンネル型MISFETおよびpチャンネル型MISFETからなる第3相補型MISFETを含んで構成され、前記デジタル回路部のMISFETおよび前記アナログ回路部のMISFETの破壊を防止するための保護回路を有し、前記保護回路を構成する前記第3相補型MISFETは、前記デジタル回路部を構成する前記第1相補型MISFETのゲート長よりも長い第1のゲート長を有し、前記アナログ回路部を構成する前記第2相補型MISFETは、前記第1のゲート長よりも長い第2のゲート長を有している。

【0014】本発明のさらに他の特徴に従えば、主面を有する半導体基板と、前記半導体基板の主面の第1領域に形成されたデジタル回路部と、前記半導体基板の主面の第2領域に形成されたアナログ回路部と、前記半導体基板の主面の第3領域に形成された、前記デジタル回路部へ入力信号を供給するためのデジタル信号入力部、および前記デジタル回路部から出力信号を取り出すためのデジタル信号出力部と、前記半導体基板の主面の第4領域に形成された、前記アナログ回路部へ入力信号を供給するためのアナログ信号入力部、および前記アナログ回路部から出力信号を取り出すためのアナログ信号出力部と、を有するアナログ・デジタル混載型の半導体集積回路装置において、前記デジタル信号入力部は、前記半導体基板内のpn接合によって区画された半導体領域からなる第1の抵抗素子を含んで構成され、前記デジタル回

路部のMISFETの破壊を防止するための第1の保護回路を有し、前記アナログ回路部または信号入力部は、前記半導体基板の主面上に形成された多結晶シリコン膜からなる第2の抵抗素子を含んで構成され、前記アナログ回路部のMISFETの破壊を防止するための第2の保護回路を有している。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて詳述する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0016】本実施形態の半導体集積回路装置は、アナログ回路部とデジタル回路部とを同一半導体基板上に形成したアナログ・デジタル混載LSIであり、図1は、このLSIの回路構成を示す半導体基板（チップ）1の全体平面図である。

【0017】アナログ・デジタル混載LSIは、半導体基板（チップ）1の主面の第1領域に形成されたデジタル回路部と、第2領域に形成されたアナログ回路部と、第3領域に形成されたデジタル信号入力部およびデジタル信号出力部と、第4領域に形成されたアナログ信号入力部およびアナログ信号出力部などによって構成されている。また、デジタル部とアナログ部との間には、アナログ・デジタルインターフェイス部が設けられている。

【0018】上記デジタル回路部およびアナログ回路部のそれぞれは、nチャネル型MISFET（Qn）およびpチャネル型MISFET（Qp）からなる相補型MISFETによって構成されている。すなわち、デジタル回路部は、例えば図2～図6に示すようなインバータ、NOR、NAND、EXOR、フリップフロップなどのセルを使って実現した図7に示すような、AND、EXOR、FFからなる4ビットカウンタ回路で構成された制御回路や、デジタル信号プロセッサ(Digital Signal Processor; DSP)回路を有している。また、デジタル部は、図8に示すような6個のMISFET（Q1～Q6）を使った多数のメモリセルを行列状に配列して構成したSRAM(Static Random Access Memory)などのRAM回路あるいはROM(Read Only Memory)回路を有している。

【0019】アナログ回路部は、演算増幅器（オペアンプ）を含んでいる。図9は、演算増幅器の基本回路例を示している。同図に示す演算増幅器は、定電流用のpチャネル型MISFETQp19と、差動入力用の一対のpチャネル型MISFETQp21、Qp22と、カレントミラー負荷（能動負荷）を構成する一対のnチャネル型MISFETQp23、Qp24とからなる差動入力増幅段を備え、さらにこの差動入力増幅段からシングルエンドで信号をゲートに受ける出力用nチャネル型MISFETQn25とその負荷として作用する定電流用のpチャネル型MISFETQp20とを含む出力増幅

段と、出力段の出力からその入力へ帰還接続された位相補償用容量CCとによって構成されている。

【0020】定電流源として作用する2個のpチャネル型MISFETQp19、Qp20のゲートには、ダイオード接続されたpチャネル型MISFETQp18と、それに電流を供給するためのnチャネル型MISFETQn22とからなるバイアス電流回路が接続されている。このバイアス電流回路は、一対の定電流用のpチャネル型MISFETQp19、Qp20に対し、カレントミラー接続されている。

【0021】この演算増幅器で重要なことは、ノイズ信号あるいはオフセット電圧の発生など回路性能の低下を防止するためには、MISFETの製造ばらつきによる特性、すなわちMISFETのペア性の低下を防止することである。すなわち、差動入力用の一対のpチャネル型MISFETQp21、Qp22、カレントミラー負荷（能動負荷）を構成する一対のnチャネル型MISFETQp23、Qp24、一対の定電流用のpチャネル型MISFETQp19、Qp20ならびにバイアス定電流用pチャネル型MISFETQp18などのペアとなるMISFETのゲート電圧対ドレイン電流特性が互いにばらつかないように、ペア性を改善することが重要である。

【0022】本発明に従えば、後に明らかにされるように、このペア性を確保するために、それらのMISFETのゲート長は、デジタル回路部を構成する他のMISFETならびにゲート保護回路を構成するMISFETより大きくされている。これによって、ペアMISFETのカレントミラー比のばらつきを低減することができる。

【0023】前記アナログ回路部には、さらに図9に示された演算増幅器を応用して図10～図12に示されるように、スイッチトキャパシタ（容量帰還型差動増幅器）と呼ばれる交流増幅器が構成されている。図10～図11において、スイッチトキャパシタ回路は、オペアンプOPと容量C1、C2からなる容量帰還回路と、さらに図12に示されたpチャネルおよびnチャネルの相補型MISFETからなるスイッチS1～S4とから構成されている。この増幅器の利得は、容量C1と容量C2との比によって決定される。

【0024】なお、図10において、入力端子（パッド）にはそれぞれダイオード接続されたpチャネル型MISFETM2とnチャネル型MISFETM1と抵抗RNとからなるゲート保護回路が接続され、入力端子に予期しない過渡状態に印加されるサージ入力などの異常電圧を低電圧にクランプすることによって、OP安納などの内部回路を構成するMISFETの破壊を防止している。このゲート保護回路については、後述する。

【0025】図13は、デジタル信号入力パッド（PAD）を含むデジタル信号入力部の回路図、図14は、デ

ジタル信号出力パッド (PAD) を含むデジタル信号出力部の回路図である。

【0026】図13に示されたデジタル信号入力部は、それぞれが保護ダイオードとして動作するようにダイオード接続されたpチャネル型MISFETM2およびnチャネル型MISFETM1と、半導体基板内にPN接合で区画して形成された半導体領域からなる保護抵抗RNとからなるゲート保護回路ESDを含み、さらにpチャネル型MISFETQp1およびnチャネル型MISFETQn1からなる相補型MISFETの入力バッファ回路 (インバータ) を含んでいる。上記ゲート保護回路ESDは、静電気などによる予期しないサージ過電流や過電圧から内部回路 (デジタル回路) を保護する。一方、図14に示されたデジタル信号出力部は、2段接続されたpチャネル型MISFETQp1およびnチャネル型MISFETQn1からなる相補型MISFETの出力回路 (インバータ) を含んでいる。

【0027】また、デジタル信号出力部にも、図15に示すような相補型MISFET (M1、M2) からなる保護ダイオードと保護抵抗 (RN) とによって構成されたゲート保護 (ESD) 回路が設けられ、静電気などによる過電流や過電圧から内部回路 (デジタル回路部) が保護されるようになっている。

【0028】図16は、アナログ信号入力パッドを含むアナログ信号入力部およびアナログ回路部の回路図である。アナログ信号入力部には、前記図13に示したゲート保護 (ESD) 回路と同様に、相補型MISFET (M1、M2) からなる保護ダイオードが形成され、アナログ回路部には、抵抗 (R1、R2) および演算増幅器からなる反転増幅器を有する保護ダイオードと、反転増幅器の入力抵抗を兼ねた保護抵抗 (R1) とによって構成されたゲート保護 (ESD) 回路が設けられ、静電気などによる過電流や過電圧から内部回路 (アナログ回路部) が保護されるようになっている。

【0029】なお、図16において、オペアンプ (オペアンプ) OPは、前記図9に示したMISFETによって構成されている。反転増幅器 (演算増幅器) の利得は、アナログ回路部に形成された負帰還抵抗R2と入力抵抗R1との抵抗比 ($R2/R1$) によって決定されるので、その増幅器にばらつきのない利得を得るために、正確な抵抗比 ($R2/R1$) を得ることが重要である。後述するように、本発明においては、入力抵抗R1および負帰還抵抗R2として、半導体基板上の絶縁膜の上部に形成された多結晶シリコン膜が使用される。また、この入力抵抗R1は、上記したように、ゲート保護回路を形成する保護抵抗として兼用される。

【0030】アナログ信号入力パッド (PAD) から入力されたアナログ信号は、信号レベル変換回路で信号レベルが調整された後、A/D変換回路でA/D変換され、アナログ・デジタルインターフェイス部を通じてデ

ジタル回路部へ送られる。そして、RAMなどを用いたデジタル信号プロセッサ回路で信号処理され、制御回路を通じてデジタル信号出力パッド (PAD) からデジタル信号を出力する。

【0031】他方、デジタル信号入力パッド (PAD) から入力されたデジタル信号は、デジタル回路部の制御回路からデジタル信号プロセッサ回路、さらにはアナログ・デジタルインターフェイス部を通じてアナログ回路部へ送られ、D/A変換回路でD/A変換されてアナログ信号となり、信号レベル変換回路で信号レベルが調整された後、アナログ信号出力パッド (PAD) から出力される。

【0032】上記のようなアナログ回路部とデジタル回路部とを同一半導体基板上に形成するアナログ・デジタル混載LSIにおいては、デジタル回路部のノイズがアナログ回路部に入り込まないように配慮し、その上で各回路ブロックのインターフェイスを考慮に入れた効率のよいチップレイアウトが要求される。

【0033】前記図1に示したように、本実施形態では、デジタル回路部とアナログ回路部とが互いに分離して配置されており、かつデジタル信号入出力部はデジタル回路部に、アナログ信号入出力部はアナログ回路部にそれぞれ近接して配置されている。また、デジタル信号入出力部とアナログ信号入出力部とは、半導体基板 (チップ) 1上で互いに最も離間する位置に配置され、クロック端子、デジタル信号入出力端子といったデジタル信号入出力部のノイズがアナログ回路部に回り込まないチップレイアウトとなっている。

【0034】図17、図18は、本実施形態における各回路ブロックのチップレイアウトの具体例を示している。

【0035】入出力パッドが半導体基板 (チップ) 1の周辺部に配置される場合には、デジタル回路部とアナログ回路部との境界部近傍にどのような特性のパッドを配置するかが問題となる。前述したように、ノイズ源となるクロック端子などがここに配置されると、アナログ回路部への影響が避けられない。

【0036】そこで、本実施形態では、デジタル回路部とアナログ回路部との境界部近傍には、例えばテスト用の制御信号入出力端子など、通常動作時にはHiレベルまたはLowレベルに固定されていて変動しないパッドを101、102に配置し、クロック端子、デジタル信号入力端子といった常に動作しているパッドを103、104といったアナログ回路部から離れた位置に配置する。

【0037】また、図のように、アナログ信号入出力部 (パッド部) およびアナログ回路部が半導体基板 (チップ) 1の下部に配置される場合は、アナログ・デジタルインターフェイス部 (105) がその上部に配置され、さらにその上部にデジタル回路部およびデジタル信号入

出力部（パッド部）が配置される。

【0038】デジタル回路部内にRAM回路のような特別な回路ブロックを配置する場合は、デジタル回路部とデジタル信号入出力部とのインターフェイス107～109、アナログ・デジタルインターフェイス部105の領域確保などを考慮すると、特別な回路ブロックをデジタル回路部内のコーナー部や周辺部に配置する方が中央部に配置する場合に比べてインターフェイス部分（107～109）を邪魔することがないので、配線効率が向上する。その際、特別な回路ブロックのインターフェイス106をデジタル回路部の中心方向に向けることにより、デジタル回路部内を自動配置配線によってレイアウトする際の配線効率が向上する。

【0039】また、本実施形態のアナログ・デジタル混載半導体集積回路装置（LSI）は、上記したデジタル回路部、アナログ回路部および信号入出力部などの回路ブロックを構成する相補型MISFET（ n チャネル型MISFETおよび p チャネル型MISFET）のゲート長（チャネル長）を、それぞれの回路ブロックの特性に応じて異ならせている。

【0040】図19は、デジタル回路部、アナログ回路部および信号入出力部を構成する相補型MISFETのゲート長の具体例を示す図である。

【0041】同図のa欄に示すように、デジタル回路部（制御回路、デジタル信号プロセッサ回路、RAM回路）を構成する相補型MISFETは、高速動作および高集積化を実現するために、そのゲート長がプロセスの最小加工寸法（例えば $0.4\mu\text{m}$ ）で構成されている。また同様の理由から、アナログ回路部のスイッチトキャパシタ回路を構成する相補型MISFETなども、プロセスの最小加工寸法またはそれに近い寸法（例えば $1.0\mu\text{m}$ ）のゲート長を有している。

【0042】アナログ回路部のスイッチは、前記図12に示したような1個の n チャネル型MISFETと1個の p チャネル型MISFETとを組み合わせた相補型MISFETで構成されている。図19のb欄に示すように、このスイッチは、スイッチ・オン時のオン抵抗の低減を実現するために、相補型MISFETのゲート長が $1.0\mu\text{m}$ 以下となっている。このスイッチを使用する箇所は、前記図11に示したようなスイッチトキャパシタ回路のスイッチS1～S4などであり、スイッチのオン／オフする周期（サンプリング時間）との関係から、オン抵抗とサンプリング容量C1との時定数が問題とならないように設計されている。

【0043】図19のc欄に示すように、信号入出力パッドと内部回路とのインターフェイス部を構成する相補型MISFETは、静電破壊防止のため、やや大きい寸法のゲート長（例えば数 μm ）を有している。インターフェイス部の具体例としては、前記図13に示したデジタル信号入力部のインバータ（Qp1、Qp2）や保護

ダイオード（M1、M2）、あるいは前記図14に示したデジタル信号出力部のインバータ（Qp1、Qp2）などである。

【0044】また、図20および図21に示すように、デジタル回路部とアナログ回路部とで電源系を異ならせた場合は、アナログ・デジタルインターフェイス部で発生する静電破壊を防止するために、このインターフェイス部を構成する保護ダイオードとして、相補型MISFET（M1、M2）あるいはバッファ回路の相補型MISFET（Qp25～Qp28、Qn28～Qm31）のゲート長も比較的大きい寸法（例えば数 μm ）とする。

【0045】アナログ回路部の演算増幅器（オペアンプ）は、前記図9に示したような回路構成となっている。図22は、図9に示した演算増幅器（オペアンプ）の基本回路にバイアス電流を生成するためのバイアス回路を付加した回路を示している。

【0046】このオペアンプの出力段を構成する相補型MISFET（Qn23、Qn24、Qn25）は、差動段の一部を構成する負荷用相補型MISFET（Qn23、Qn24）との整合性を考慮すると、ゲート長を大きくした方がよいが、ゲート長を大きくし過ぎると、差動段から見える出力段のMISFET（Qn25）のゲート容量増加による周波数特性の低下や出力負荷駆動能力の低下が問題となる。従って、オペアンプの出力段を構成する相補型MISFET（Qn25）は、図19のd欄に示すように、やや大きい寸法のゲート長（例えば $1\sim2\mu\text{m}$ ）とする。

【0047】オペアンプの差動入力段を構成する相補型MISFET（Qn21、Qn22、Qn23、Qn24）は、差動入力用MISFET（Qn21、Qn22）のペア性およびカレントミラー負荷用MISFET（Qn23、Qn24）のペア性を確保することが要求されるため、ゲート長を大きくすることによって、ゲート長のプロセスばらつきを低減する必要がある。従って、これらの相補型MISFET（Qn21、Qn22、Qn23、Qn24）は、図19のe欄に示すように、大きい寸法のゲート長（例えば $1\sim6\mu\text{m}$ ）とする。

【0048】また、オペアンプのカレントミラーとして使用されるMISFET（Qn18、Qn19、Qn20）およびバイアス回路のカレントミラーとして使用されるMISFET（Qn23、Qn24、Qn27）も、ペア性を確保することが要求されるため、大きい寸法のゲート長（例えば $1\sim6\mu\text{m}$ ）とするのが適当である。一方、上記バイアス回路の電流供給用MISFET（Qn26）は、そのゲート長のばらつきがそのまま回路全体のばらつきの原因となるため、図19のf欄に示すように、特に大きい寸法のゲート長（例えば $6\mu\text{m}$ 以上）とする。

【0049】また、本実施形態のアナログ・デジタル混載LSIは、デジタル信号用のゲート保護回路の抵抗素子と、アナログ用のゲート保護回路の抵抗素子とを異なる材料で構成している。

【0050】図23は、前記図15に示したデジタル信号入力部のゲート保護回路を示す平面図、図24の左側部分は、図23のA-B線に沿った保護ダイオード(M1、M2)の断面図、右側部分は、C-D線に沿った保護抵抗(RN)の断面図である。

【0051】図23および図24は、半導体基板の主面の素子形成部を示している。単結晶シリコンからなる半導体基板1のp型半導体主面1には、分離用酸化シリコン膜4、n型ウエル2が形成されている。保護抵抗RNは、n型ウエル2の中にpn接合によって区画されたp型拡散領域3によって構成されている。このp型拡散領域3(保護抵抗RN)は、逆導電型としてp型主面1に形成することもできる。pn接合によって区画されたp型拡散領域3は、pn接合の寄生素子が付加されるので、静電気入力などの好ましくない過大なサージ入力電圧をさらに低電圧にクランプし、あるいは減少させる機能を有することになり、保護抵抗として有利である。

【0052】ダイオード接続されたpチャネル型MISFETM2は、n型ウエル2の中に形成されたp型のソース領域S2とドレイン領域D2とを有し、さらに下層が多結晶シリコン層、上層がタングステンなどの金属層からなるゲート電極G2を有している。さらに、配線(例えばアルミニウム、タングステンなどの金属配線)W2によってそのゲート電極G2とソース領域S2とがダイオード接続され、配線W3によってそのドレイン領域D2が引き出されている。同様に、ダイオード接続されたnチャネル型MISFETM1は、p型領域1の中に形成されたn型のソース領域S1とドレイン領域D1とを有し、さらにM2と同様に、下層が多結晶シリコン層、上層が金属層からなるゲート電極G1を有している。さらに、配線W3によってそのドレイン領域D1が引き出され、上記pチャネルダイオードM2のドレイン領域および拡散抵抗RNの一端と共通接続されている。これらの両ダイオードM1、M2は、サージ入力電圧に対するクランプダイオードとして動作する。なお、図24において、符号5および6は、層間絶縁膜の下層膜と上層膜とを示している。拡散抵抗RNの他端は、配線W4によってインバータ用MISFETのゲート電極に電気的に接続されている。結果的に、保護ダイオード回路(M1、M2およびRN)によって過大なサージ入力電圧に基づくインバータ用MISFETのゲート絶縁膜の破壊が防止される。

【0053】図23および図24に示した保護ダイオードを構成する相補型MISFET(M1、M2)は、静電破壊を考慮し、内部回路(デジタル回路部)を構成する相補型MISFETに比べて大きい寸法のゲート長

(例えば数 μm)を有している。また、前記図20および図21に示したアナログ・デジタルインターフェイス部の抵抗も、静電破壊に強い拡散抵抗によって構成されている。

【0054】一方、図25は、前記図16に示したアナログ信号入力用ゲート保護回路を示す平面図、図26の左側部分は、図25のA-B線に沿った保護ダイオード(M1、M2)の断面図、右側部分は、C-D線に沿った保護抵抗(R1)の断面図である。

【0055】図25および図26は、半導体基板の主面の素子形成部を示している。半導体基板のp型半導体主面1には、分離用酸化シリコン膜(熱酸化膜)4、n型ウエル2が形成されている。保護回路ESDを構成する保護抵抗R1は、n型ウエル2を覆う分離用酸化シリコン膜4の上部に形成された低濃度のp型またはn型不純物を含む多結晶シリコン膜31によって構成されている。この保護抵抗R1は、またオペアンプOP(図16参照)の入力抵抗としても作用する。図26には示されていないが、分離用酸化シリコン膜4の上部には、保護抵抗(入力抵抗)R1と同様の多結晶シリコン膜32が形成され、オペアンプOPのフィードバック抵抗R2を構成している。

【0056】ダイオード接続されたpチャネル型MISFETM2は、n型ウエル2の中に形成されたp型のソース領域S2とドレイン領域D2とを有し、さらに下層が多結晶シリコン層、上層がタングステンなどの金属層からなるゲート電極G2を有している。さらに、配線(例えばアルミニウム、タングステンなどの金属配線)W2によってそのゲート電極G2とソース領域S2とがダイオード接続され、配線W3によってそのドレイン領域D2が引き出されている。

【0057】同様に、ダイオード接続されたnチャネル型MISFETM1は、p型領域1の中に形成されたn型のソース領域S1とドレイン領域D1とを有し、さらにM2と同様に、下層が多結晶シリコン層、上層が金属層からなるゲート電極G1を有している。さらに、配線W1によってそのゲート電極G1とソース領域S1とがダイオード接続され、配線W3によってそのドレイン領域D1が引き出され、上記pチャネルダイオードM2のドレイン領域および保護抵抗R1の一端と共通接続されている。これらの両ダイオードM1、M2は、サージ入力電圧に対するクランプダイオードとして動作する。

【0058】なお、図25および図26において、符号5および6は、層間絶縁膜の下層膜と上層膜とを示している。保護抵抗R1の他端は、配線W4によってオペアンプOPの入力MISFETのゲート電極INMに電気的に接続されている。結果的に、保護ダイオード回路(M1、M2およびR1)によって静電気などの過大なサージ入力電圧に基づくオペアンプOPの入力MISFETのゲート絶縁膜の破壊が防止される。一方、図25

に示すように、フィードバック抵抗 R_2 の一端は、配線 W_5 によってオペアンプ OP の出力端子 OUT に電氣的に接続され、その抵抗の他端は、配線 W_4 によってオペアンプ OP の入力端子 INM に電氣的に接続される。フィードバック抵抗 R_2 は、入力抵抗 R_1 と共に負帰還回路を構成し、抵抗比 (R_1/R_2) によってオペアンプ OP の利得を決定している。

【0059】図示のように、フィードバック抵抗 (R_2) と、入力抵抗を兼ねた保護抵抗 (R_1) とは、半導体基板 1 の主面上に形成された多結晶シリコン膜によって構成されている。入力抵抗 (R_1) とフィードバック抵抗 (R_2) とオペアンプとを組み合わせることによって反転増幅器が構成されている。オペアンプの + 端子にはアナログ回路部内でアナログ信号の基準電位となる電圧 (アナロググランド) が接続されている。

【0060】上記反転増幅器の利得 (ゲイン) 誤差は、抵抗比 (R_2/R_1) の精度によるところが大きい。ため、2つの抵抗 (R_1 、 R_2) を多結晶シリコン膜のような同一材料で構成した方が高精度な抵抗比 (R_2/R_1) を実現することができる。

【0061】上記反転増幅器などで使用される抵抗は、オペアンプの電流駆動能力を考慮すると、数 $10k \sim 100k \Omega$ 程度が適当であるが、このような抵抗値を有する抵抗素子を拡散抵抗によって実現しようとする、抵抗素子のレイアウト面積が大きくなり、pn 接合容量による半導体基板 1 からのノイズの影響が懸念される。これに対し、抵抗 (R_1 、 R_2) を多結晶シリコン膜で構成した場合には、ノイズの影響を低減することが可能となる。

【0062】なお、本実施形態の半導体集積回路装置を構成する相補型 MISFET (M_1 、 M_2) のゲート電極は、多結晶シリコン膜で構成した抵抗、例えば抵抗 (R_1 、 R_2) とは不純物濃度に違いがあるため、シート抵抗のより小さい別の多結晶シリコン膜が使用される。

【0063】抵抗とオペアンプとを組み合わせるゲインを調整する回路としては、上記反転増幅器の他、図 27 に示すような差動増幅器や、非反転増幅器などがある。

【0064】特にノイズの影響を受けにくい回路や、多結晶シリコン膜では実現できない抵抗を必要とする場合には、拡散抵抗を使用することも可能であるが、例えば抵抗と容量とで構成される積分器のように、抵抗の絶対値が重要となる場合には、絶対精度に優れた多結晶シリコン抵抗を用いた方がよい。また、前述したように、オペアンプの入力端子は、差動段のペア性を確保するために、ゲート長の大きい MISFET で構成される。

【0065】アナログ回路であっても多結晶シリコン抵抗を使用せず、拡散抵抗を使用する場合もある。例えば、前記図 11 に示したスイッチトキャパシタ回路の保護抵抗 R_N は、拡散抵抗によって構成されている。ス

ッチトキャパシタ回路の場合、スイッチのオン/オフする周期 (サンプリング時間) が、保護抵抗 R_N とサンプリング容量 C_1 との時定数で決まる時間よりも十分に大きければ、抵抗絶対値を気にすることなく、信号入力パッドと入力スイッチ S_1 との間に拡散抵抗からなる保護抵抗を設ける場合もある。

【0066】また、前述したように、スイッチを構成する相補型 MISFET は、スイッチ・オン時のオン抵抗の低減を実現するために、ゲート長を短くしているため、上記保護抵抗 R_N は、静電破壊に強い拡散抵抗によって構成することが望ましい。保護抵抗の抵抗値は数 $k \Omega$ であり、拡散抵抗によって構成した場合でも、半導体基板 1 からのノイズが気になる程、レイアウト面積が大きくなることはない。

【0067】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0068】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0069】本発明によれば、アナログ・デジタル混載型半導体集積回路装置の高性能化を推進することができる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態である半導体集積回路装置の回路構成を示す半導体基板 (チップ) の全体平面図である。

【図 2】本発明の一実施の形態である半導体集積回路装置のデジタル回路部を構成するセルの回路図である。

【図 3】本発明の一実施の形態である半導体集積回路装置のデジタル回路部を構成するセルの回路図である。

【図 4】本発明の一実施の形態である半導体集積回路装置のデジタル回路部を構成するセルの回路図である。

【図 5】本発明の一実施の形態である半導体集積回路装置のデジタル回路部を構成するセルの回路図である。

【図 6】本発明の一実施の形態である半導体集積回路装置のデジタル回路部を構成するセルの回路図である。

【図 7】本発明の一実施の形態である半導体集積回路装置の 4 ビットカウンタ回路を示す回路図である。

【図 8】本発明の一実施の形態である半導体集積回路装置の RAM 回路を構成するメモリセルの回路図である。

【図 9】本発明の一実施の形態である半導体集積回路装置の演算増幅器を示す回路図である。

【図 10】本発明の一実施の形態である半導体集積回路装置のスイッチトキャパシタ回路を示す回路図である。

【図 11】本発明の一実施の形態である半導体集積回路装置のスイッチトキャパシタ回路を示す回路図である。

【図 12】本発明の一実施の形態である半導体集積回路

装置のスイッチトキャパシタ回路の一部（スイッチ）を示す回路図である。

【図 13】本発明の一実施の形態である半導体集積回路装置のデジタル信号入力部を示す回路図である。

【図 14】本発明の一実施の形態である半導体集積回路装置のデジタル信号出力部を示す回路図である。

【図 15】図 13 に示すデジタル信号入力部に設けられた保護回路を示す回路図である。

【図 16】本発明の一実施の形態である半導体集積回路装置のアナログ信号入力用ゲート保護回路を示す回路図である。

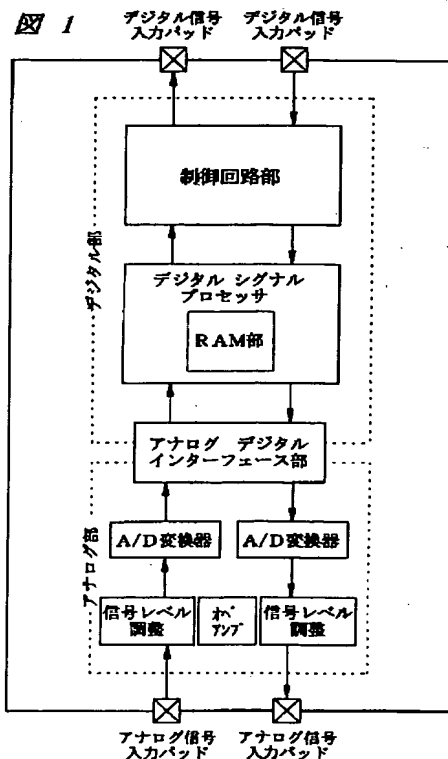
【図 17】本発明の一実施の形態である半導体集積回路装置の回路ブロックのチップレイアウトを示す平面図である。

【図 18】本発明の一実施の形態である半導体集積回路装置の回路ブロックのチップレイアウトを示す平面図である。

【図 19】本発明の一実施の形態である半導体集積回路装置のデジタル回路部、アナログ回路部および信号入出力部を構成する相補型MISFETのゲート長の具体例を示す説明図である。

【図 20】本発明の一実施の形態である半導体集積回路装置のアナログ・デジタルインターフェイス部を示す回路図である。

【図 1】



【図 21】本発明の一実施の形態である半導体集積回路装置のアナログ・デジタルインターフェイス部を示す回路図である。

【図 22】本発明の一実施の形態である半導体集積回路装置のオペアンプおよびバイアス回路を示す回路図である。

【図 23】本発明の一実施の形態である半導体集積回路装置のデジタル信号入力部を示す平面図である。

【図 24】図 23 の A-B 線に沿った断面図および C-D 線に沿った断面図である。

【図 25】本発明の一実施の形態である半導体集積回路装置のアナログ信号用ゲート保護回路を示す平面図である。

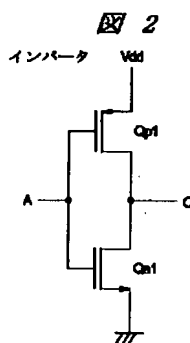
【図 26】図 25 の A-B 線に沿った断面図および C-D 線に沿った断面図である。

【図 27】本発明の一実施の形態である半導体集積回路装置の差動増幅器を示す回路図である。

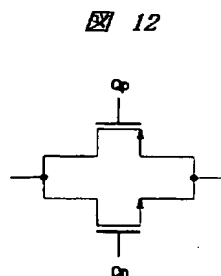
【符号の説明】

- 1 半導体基板（チップ）
- 101～104 パッドの配置箇所
- 105 アナログ・デジタルインターフェイス部
- 106～109 インターフェイス
- R1、R2、RN 抵抗

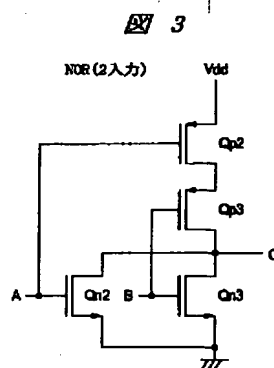
【図 2】



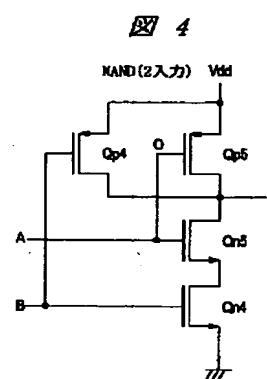
【図 12】



【図 3】

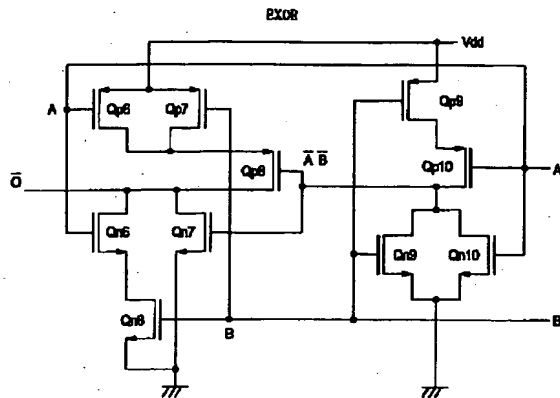


【図 4】



【図 5】

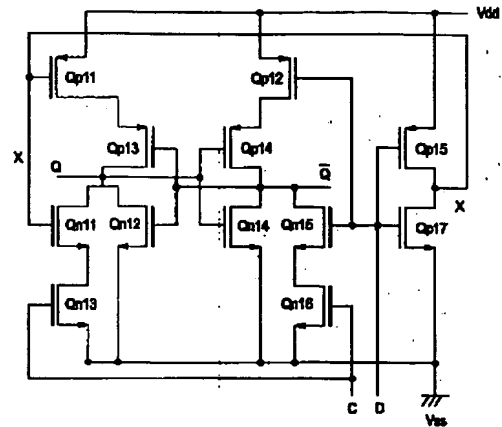
図 5



【図 6】

図 6

D型フリップフロップ

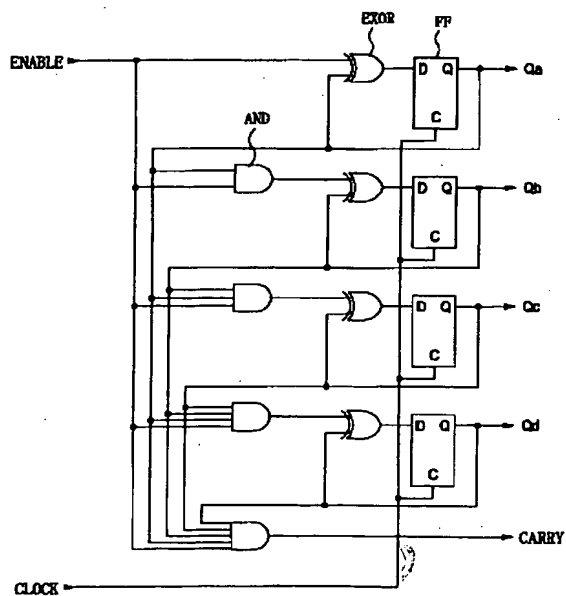


D型フリップフロップの真理値表

Dn	Cn	Qn+1
0	0	Qn
0	1	0
1	0	Qn
1	1	1

【図 7】

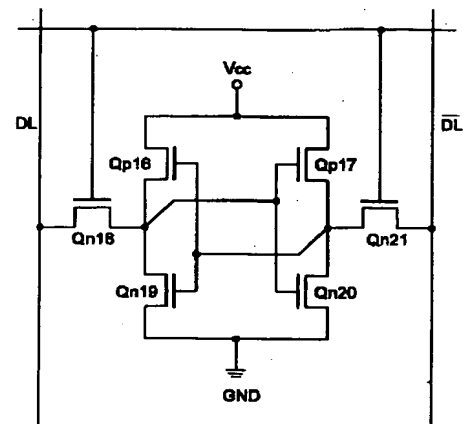
図 7



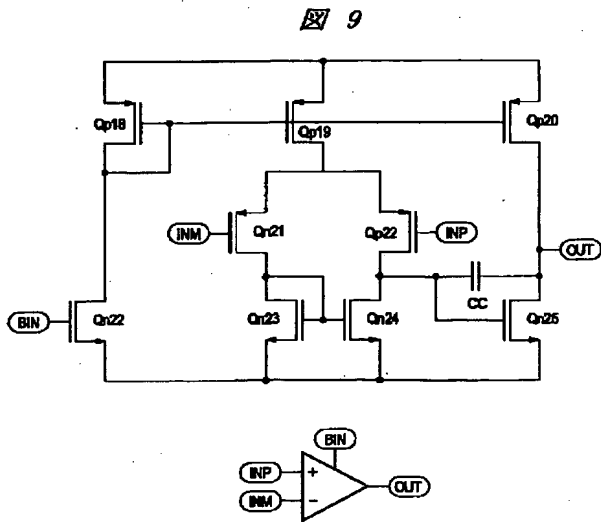
【図 8】

図 8

CMOS SRAMセル回路図

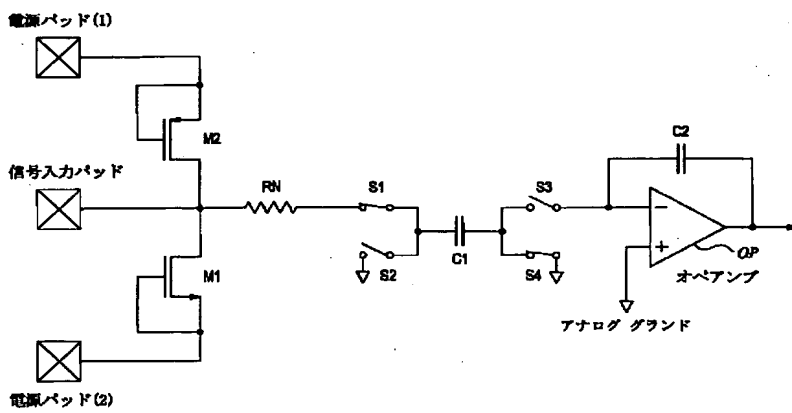


【図 9】



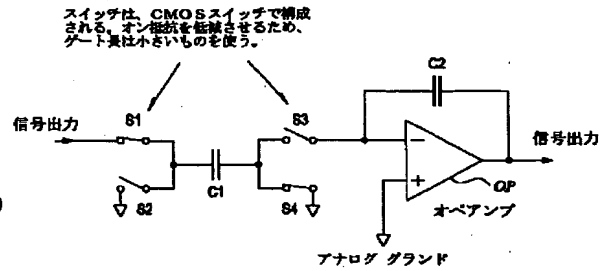
【図 10】

図 10



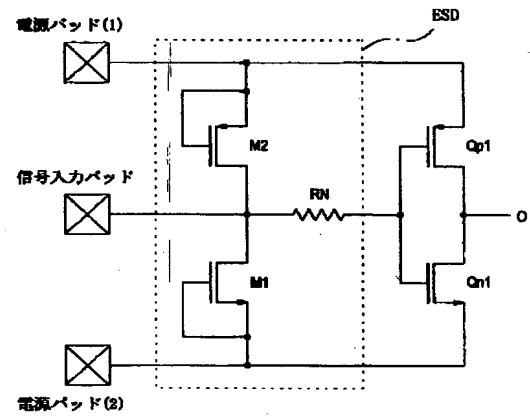
【図 11】

図 11



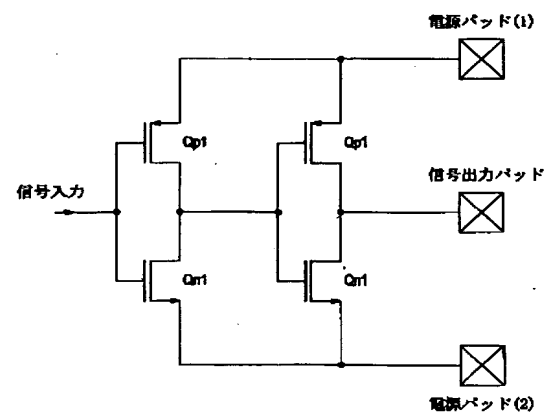
【図 13】

図 13



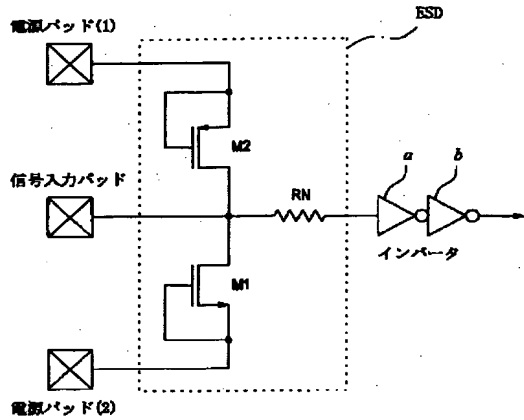
【図 14】

図 14



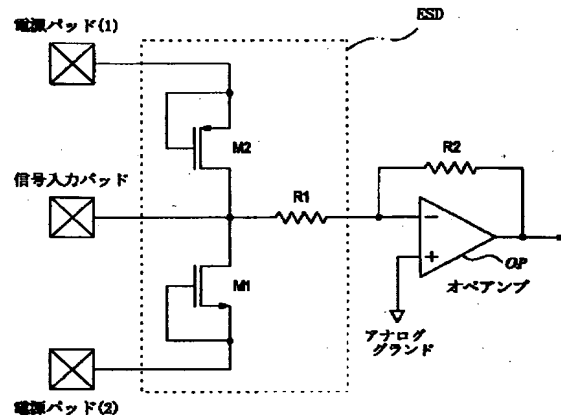
【図 15】

図 15



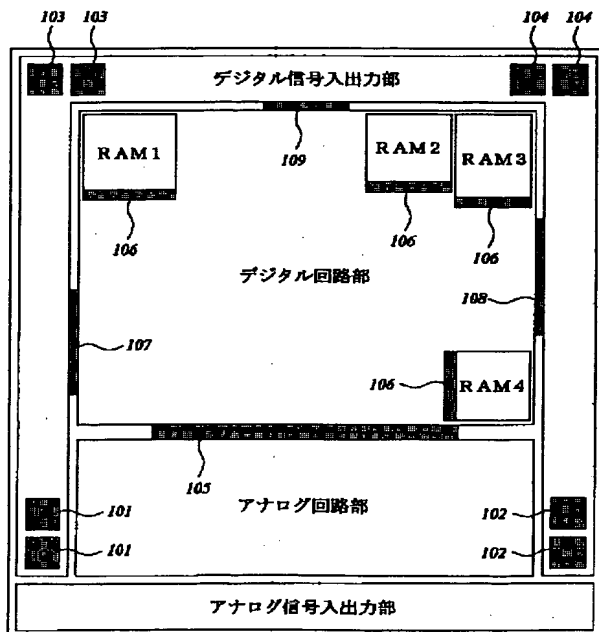
【図 16】

図 16



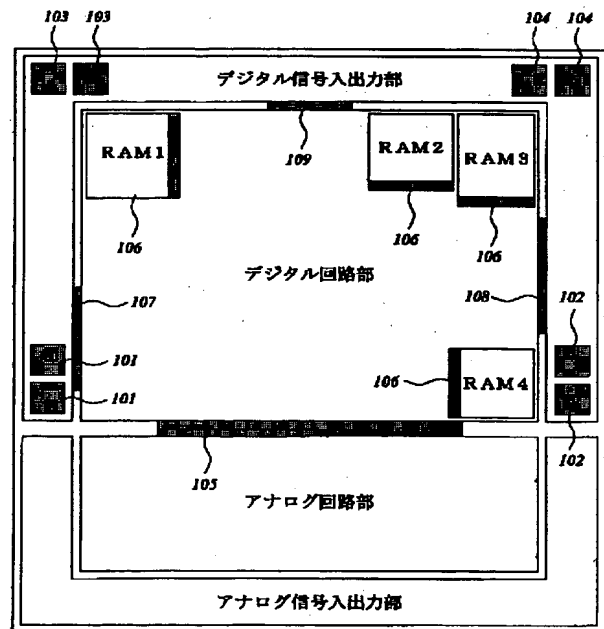
【図 17】

図 17



【図 18】

図 18

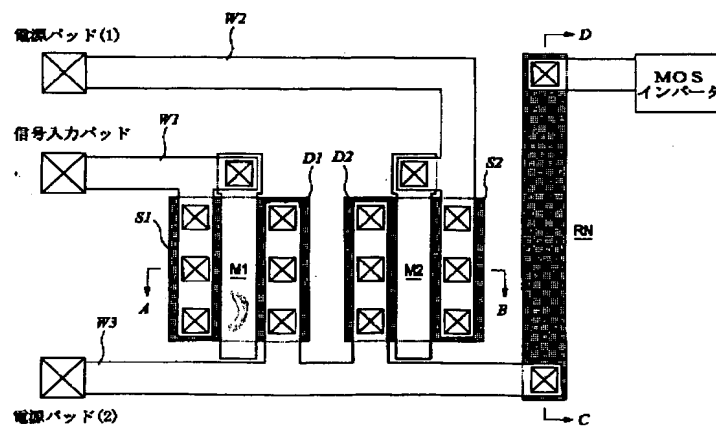


【図 19】

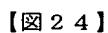
図 19

NO.	a	b	c	d	e	f	
分類 ()内は 具体的な用途	デジタル部 (内蔵回路) アナログ部 (制御回路)	アナログ部 (スイッチ)	PAD部 (PAD インターフェイス) アナログI/F部 (アナログ インターフェイス)	アナログ部 (オペアンプ出力)	アナログ部 (オペアンプ入力) (バイアス・カレントミラー)	アナログ部 (バイアス電流生成)	
ゲート長(L)	小さい(1 μm 以下)	小さい(1 μm 以下)	やや大きい(数 μm)	やや大きい(1~2 μm)	大きい (1~2.6 μm)	特に大きい(6 μm 以上)	
ゲート長 選択理由	高速集積	オン抵抗の低減	静電放電防止	周波数特性などの 性能確保	ベア性の確保	製造バラツキの影響を抑制	
平面図							
断面図							
備考	1: ポリシリコン (ゲート) 2: 拡散層 (ソース/ドレイン)						

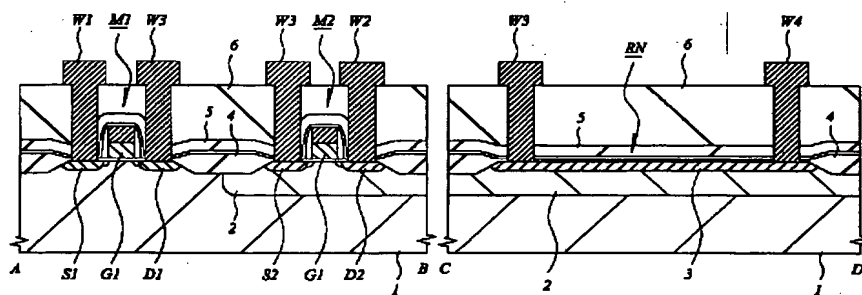
20



22

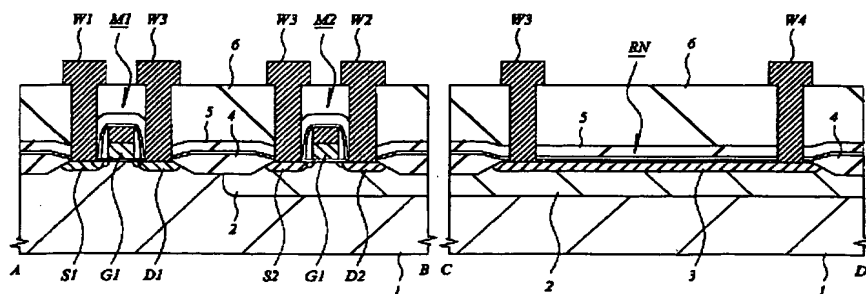


24

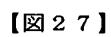


【图 26】

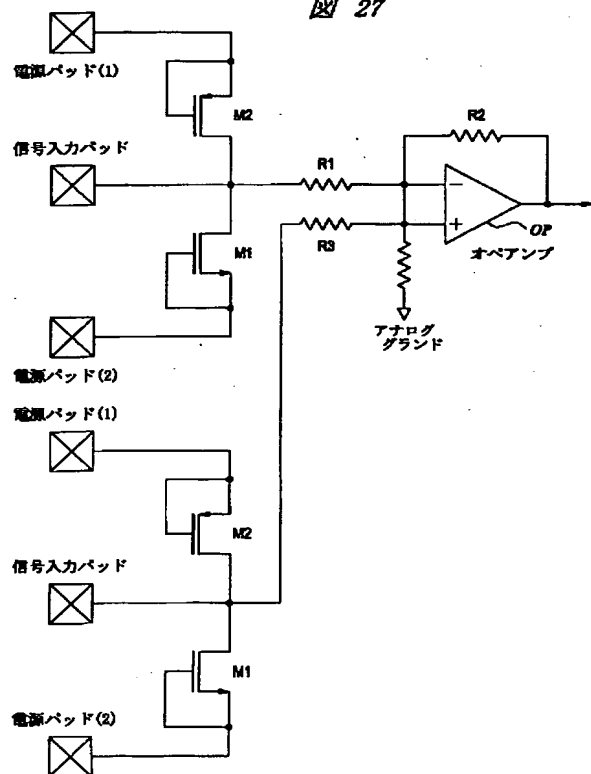
26



25



27



フロントページの続き

(72)発明者 長谷 明広

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 渡辺 博文

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

Fターム(参考) 5F038 AR01 AR09 AV06 BH02 BH03
BH19 CA03 CA05 CA07 CA10
CD02 DF01 DF05 DF12 EZ01
EZ04 EZ20